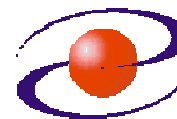


**UNIVERZITET CRNE GORE
ELEKTROTEHNIČKI FAKULTET**



STUDIJSKI PROGRAM: *SPECIJALISTIČKE STUDIJE - ELEKTRONIKA*

PREDMET: *PROJEKTOVANJE DIGITALNIH SISTEMA*

FOND ČASOVA: *3+0+1*

LABORATORIJSKA VJEŽBA

NAZIV: *Architecture Wizard i PACE Lab (PlanAhead)*

CILJEVI VJEŽBE:

- korišćenje *Architecture Wizard*-a za konfigurisanje DCM (Digital Clock Manager) komponenti
- instanciranje DCM komponenti u dizajnu
- korišćenje *PACE*-a (*Pinout and Area Constraints Editor*) (odnosno *PlanAhead*-a kod ISE 14.7)
- implementiranje dizajna i testiranje na hardveru

POTREBAN PRIBOR:

- Xilinx ISE v.10.1 (ili v.14.7)
- SPARTAN-3E Starter Kit razvojna platforma

IME I PREZIME: _____.

BROJ INDEKSA: _____.

BROJ POENA:	
OVJERAVA:	
DATUM:	

1. APARATURA

Na raspolaganju su sljedeći uređaji i oprema:

- Xilinx ISE v.10.1 (ili v.14.7)
- SPARTAN-3E Starter Kit razvojna platforma
- Serijski (null-modem) kabal

2. TEORIJSKA OSNOVA LABORATORIJSKE VJEŽBE

Ova laboratorijska vježba koristi *UART Real-Time Clock* dizajn, a detaljne informacije se mogu naći u fajlu **UART_real_time_clock.pdf** koji je sastavni dio *PicoBlaze* distribucije.

Dizajn implementira *Real-Time Clock* (časovnik u realnom vremenu) koji se brine o vremenu izraženom u satima, minutima i sekundama i koji ima mogućnost podešavanja alarma. Časovnik i alarm se podešavaju i vrijeme se prikazuje posredstvom serijske komunikacije (UART), pomoću jednostavnih tekstualnih komandi/poruka, preko bilo kojeg terminal programa (*hyperterminal*, PuTTY, ...)

Dizajn prepoznaje neke jednostavne ASCII komande i čak podržava editovanje istih u toku njihovih unošenja korišćenjem tastera *<Backspace>* na tastaturi. Komande se završavaju pritiskom tastera *<ENTER>* tj. kada se pošalje ASCII kod za „*carriage return*“. Dizajn je spreman da prihvati novu komandu kada je prikazan *prompt* „**KCPSM3**>“.

Časovnik je u stanju da interpretira komande zadate i velikim i malim slovima, i to tako što će ih prije analiziranja konvertovati u velika slova (za detalje pogledati dokumentaciju). Izdavanje neispravne komande će rezultirati porukom „*Syntax error*“, a zadavanje neispravne vrijednosti vremena porukom „*Invalid time*“. „*Overflow error*“ poruka će se pojaviti ako se komande izdaju brže nego što ih dizajn može procesuirati.

Dizajn zahtjeva taktni impuls frekvencije 55MHz. Budući da Spartan-3E platforma ima oscilator frekvencije 50MHz, koristiće se *Architecture Wizard* da bi se generisao *Digital Clock Manager* (DCM) sa izlaznim signalom od 55MHz i instancirao unutar dizajna.

3. ZADACI LABORATORIJSKE VJEŽBE

Ova demonstracija uključuje 4 glavna koraka:

- korišćenje *Architecture Wizard*-a da bi se konfigurisao DCM;
- instanciranje DCM-a u Verilog dizajn;
- korišćenje PACE-a da bi se signalima pridružili pinovi čipa i implementirao dizajn, i na kraju
- testiranje dizajna na hardveru.

Korišćenje *Architecture Wizard*-a za konfigurisanje DCM-a

Treba otvoriti postojeći projekat.

1. Ako je *ISE Project Navigator* zatvoren, odabrati:

Start → **Programs** → **Xilinx ISE Design Suite 10.1** → **Project Navigator**

2. Izabrati **File** → **Open Project** u *Project Navigator*-u.
3. Pronaći putanju do fajla *arwz_pace.ise* i izabrati ga.

Napomena: ako se koristi **ISE Design Suite 14.7** onda u **Open Project** prozoru treba izabrati opciju „*Old ISE Project Files (*.ise)*“, jer novije verzije programa koriste drugačiju formu projektnog fajla, sa ekstenzijom *.xise*.

4. Kliknuti **<Open>**.

Napomena: ukoliko se pojavi poruka da je projekat kreiran sa ranijom verzijom razvojnog okruženja i da je potrebno izvršiti konverziju, kliknuti **<Yes>**.

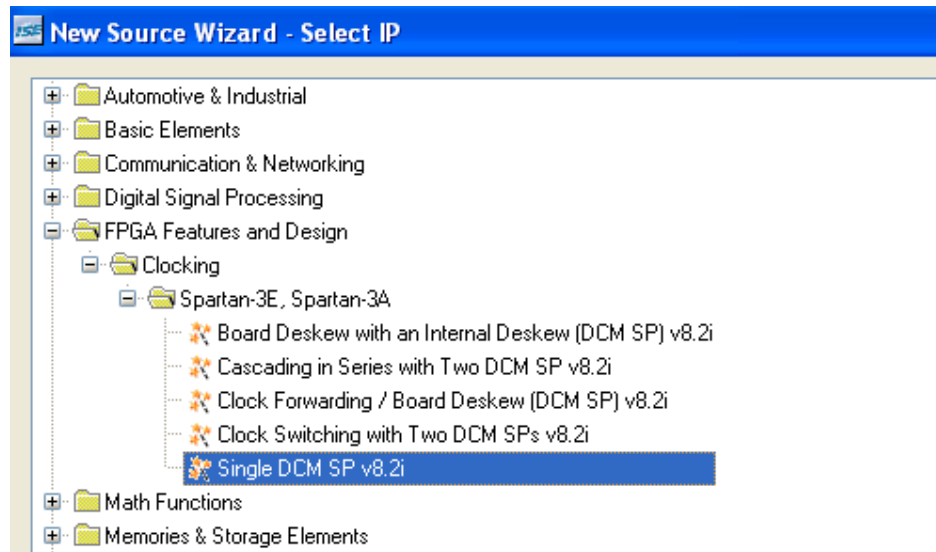
Ovoj verziji dizajna nedostaje DCM komponenta. Za konfigurisanje DCM komponente da na izlazu generiše taktni signal frekvencije 55MHz koristi se *Architecture Wizard*.

5. U *Processes for Source* prozoru, dva puta kliknuti na **Create New Source**

Ukoliko se u prozoru ne nalazi **Create New Source**, treba provjeriti da li je HDL izvorni fajl u *Sources* prozoru.

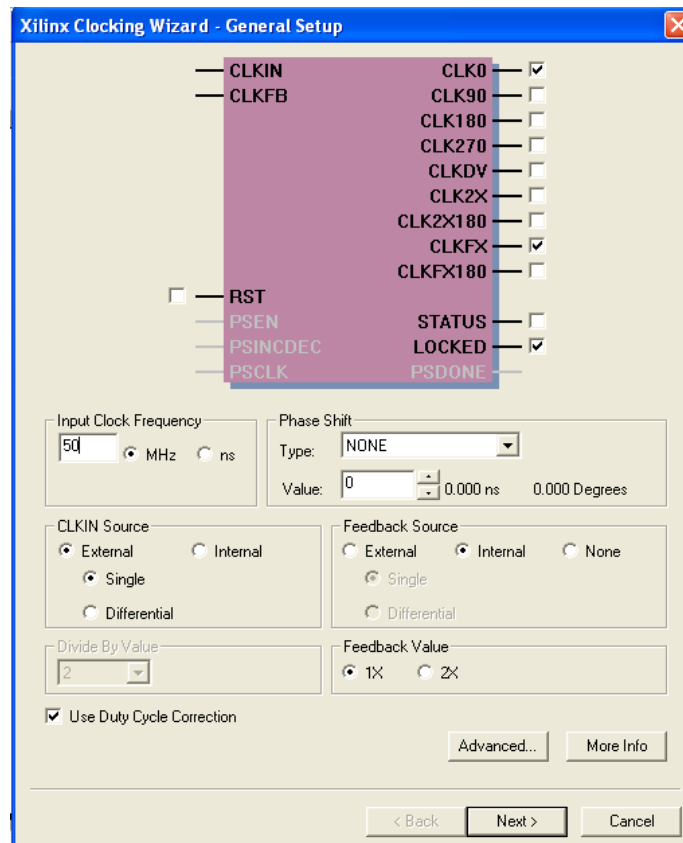
Napomena: ako se koristi **ISE Design Suite 14.7** onda izabrati **Project** → **New Source**.

6. U **New Source** prozoru treba odabrati **IP (CoreGen & Architecture Wizard)** i kao naziv fajla unijeti *my_dcm*.
7. Kliknuti **<Next>**.
8. U sledećem prozoru (slika 1) treba otvoriti **FPGA Features and Design** → **Clocking** → **Spartan-3E, Spartan-3A** i odabrati **Single DCM SP v8.2i** (odnosno verziju koja je prisutna u tekućoj verziji ISE).



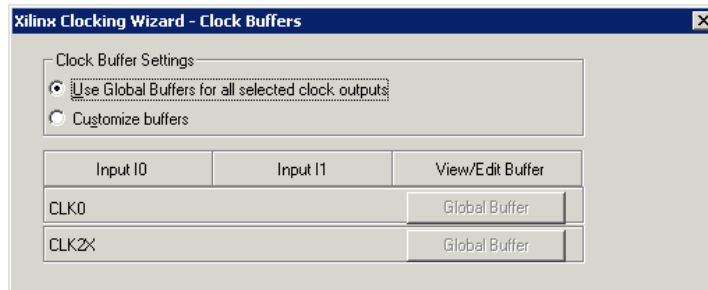
Slika 1. Architecture Wizard Selection Box

9. Potom se klikne na **<Next>**, a zatim **<Finish>**. (Ako se koristi **ISE Design Suite 14.7** onda u prozoru koji će se pojaviti kliknuti **<OK>**.)
10. U **Xilinx Clocking Wizard – General Setup** prozoru, treba odabrati sledeće opcije (kao na slici 2):
 - CLK0, CLKFX I LOCKED boxes: **Checked**
 - RST box: **Unchecked**
 - Input Clock Frequency: **50 MHz**



Slika 2. Xilinx Clocking Wizard

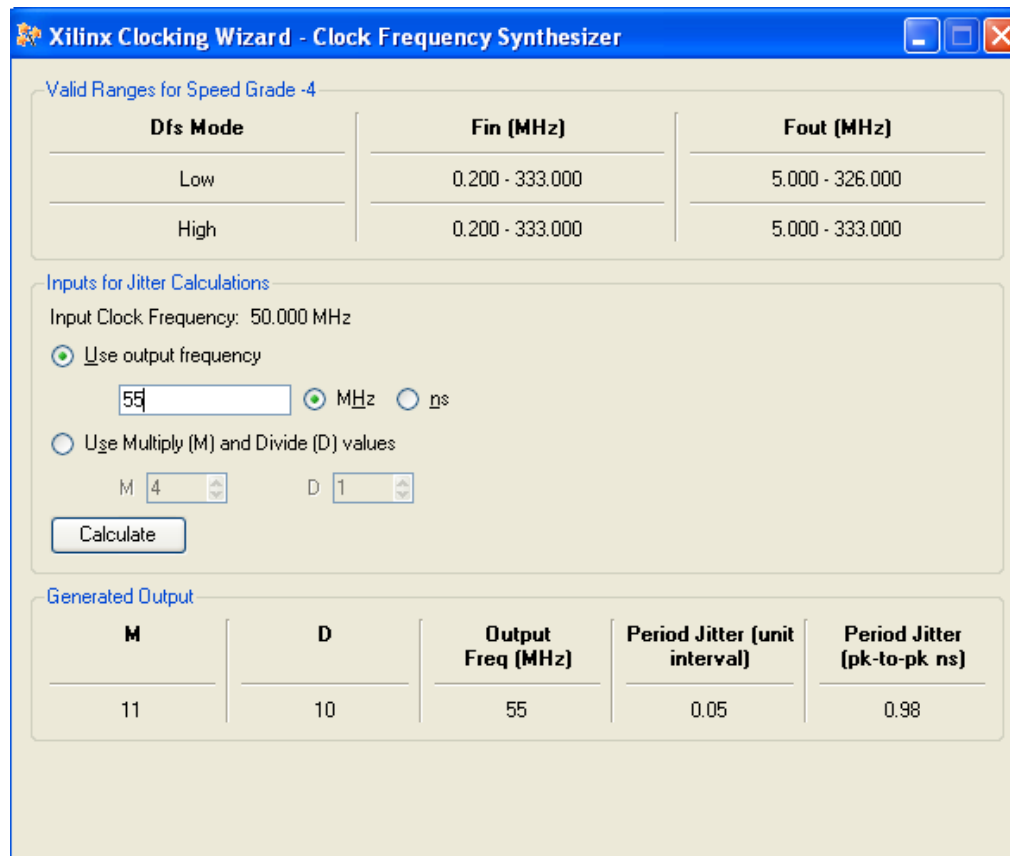
11. Kliknuti na <Next>.
12. U **Xilinx Clocking Wizard – Clock Buffers** prozoru (Slika 3) zadrže se podrazumijevane vrijednosti i klikne na <Next>.



Slika 3. Xilinx Clocking Wizard – Clock Buffers Window

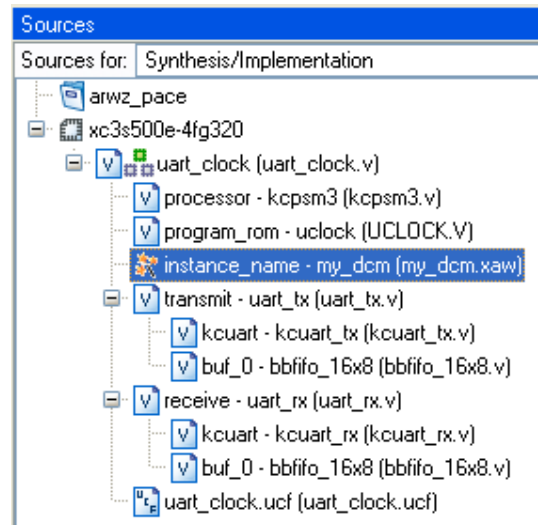
13. U **Xilinx Clocking Wizard – Clocking Frequency Synthesizer** dijalogu treba unijeti 55MHz u polju za izlaznu frekvenciju (Slika 4) i potom kliknuti <Next>, a zatim <Finish>.

Napomena: Ukoliko *my_dcm.xaw* fajla nema u hijerarhiji dizajna, onda ga korisnik treba dodati na **Project → Add Source**.



Slika 4. Podešavanje izlazne frekvencije kod DCM-a

Treba primijetiti da je dodati novi fajl (*my_dcm.xaw*) kao *Source* u projektu (slika 5). Ovaj *Source* fajl neće biti uključen u hijerarhiju dizajna dok komponenta ne bude instancirana u jedan od *HDL Source* fajlova.

Slika 5. DCM je prikazan u *Sources* prozoru

Instanciranje DCM-a u Verilog dizajnu

Sada kada su kreirani neophodni fajlovi, DCM komponenta se može instancirati unutar dizajna. Treba prekopirati tekst iz *Instantiation Template* u *uart_clock.v* i povezati signale.

1. Selektovati *my_dcm.xaw* i dva puta kliknuti na **View HDL Source** u **Processes for Source** prozoru, da bi se ispitao **Source code** kreiran od strane *Architecture Wizard*-a.

Ako se fajl ne pojavi u tekst editoru, potrebno je ponovo dva puta kliknuti na **View HDL Source**.

Ovaj fajl sadrži sledeće instancirane komponente: IBUFG, DCM, i dva BUFG-a. Ulazni *clock CLKIN_IN* upravlja sa IBUFG, koji je povezan sa DCM-om. Dva izlazna *clock*-a rade na BUFG komponentama. Svi DCM parametri su prosljeđeni posredstvom *Verilog meta-comments*-a.

2. U **Sources** prozoru, dva puta kliknuti na *uart_clock.v* da bi se otvorio izvorni kod u tekst editoru.
3. Izabrati *my_dcm.xaw* u **Sources** prozoru.
4. U **Processes for Source** prozoru dva puta kliknuti na **View HDL Instantiation Template** da bi se otvorio šablon za instanciranje u tekst editoru.

Ako se šablon ne pojavi u tekst editoru, opet treba dva puta kliknuti na **View HDL Instantiation Template**.

5. Iz šablona za instanciranje (fajl *my_dcm.tfi*) kopirati modul za instanciranje i insertovati ga u *uart_clock.v* ispod komentara „// Insert DCM component declaration here“.
6. Instanciranje završiti povezivanjem portova sa signalima na sljedeći način:

```

my_dcm inst_my_dcm (
    .CLKIN_IN(clk),
    .CLKFX_OUT(clk55MHz),
    .CLKIN_IBUFG_OUT(),
    .CLK0_OUT(),
    .LOCKED_OUT(lock)
);

```

Napomena: port *clkin_ibufg_out* je izlazni port koji podržava dizajne koji koriste *RocketIO*™ transivere. Pošto ovdje ne koristimo Virtex-II Pro čipove, ovaj port će biti povezan na *dummy signal*.

7. Dodati deklaraciju za izlazni signal DCM-a (55MHz), i to ispod komentara „// Signals for DCM“:

```
wire clk55MHz;
```

Napomena: *uart_clock.v* dizajn je već izmijenjen na način da su svi taktni signali (clk) preimenovani da odgovaraju novom taktu (clk55MHz).

8. Dodati izlazni pin **lock** u modul najvećeg nivoa kao što je prikazano:

```

module uart_clock
(
    tx,
    rx,
    alarm,
    clk,
    lock);

    output tx;
    input rx;
    output alarm;
    input clk;
    output lock;

```

Napomena: izlazni pin **lock** upravlja LED1 diodom na Spartan-3E platformi, a on sam je upravljani od strane **lock signala** DCM-a. Na ovaj način se korisniku signalizira da je DCM uspješno povezan sa taktним signalom frekvencije 50MHz iz oscilatora sa razvojne platforme.

9. Izabrati **File→Save**.

Primijetiti da je fajl *my_dcm.xaw* sada postavljen na pravu poziciju u hijerarhiji dizajna.

Korišćenje programa PACE za pridruživanje pinova

Kod većine **FPGA** dizajna postoje zahtjevi za rasporedom pinova i prije nego se sam dizajn završi. PACE omogućava veoma lako pridruživanje pinova i pruža mogućnost provjeravanja da li izabrani raspored pinova zadovoljava I/O standarde.

U ovoj vježbi se koristi PACE da bi se u dizajnu signali pridružili pinovima.

1. U **Sources** prozoru treba označiti dizajn najvećeg nivoa *uart_clock.v*.

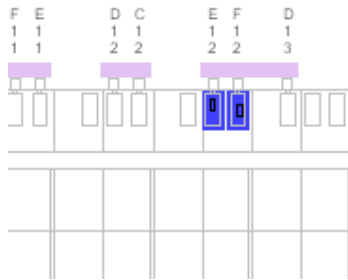
- U prozoru **Process**, da bi se otvorio **PACE**, treba raširiti **User Constraints** i dva puta kliknuti na **Floorplan IO – Pre-Synthesis**. Kada se pokaže poruka „Da li želimo da dodamo UCF fajl?“, treba kliknuti **<YES>**.

Napomena: ako se koristi **ISE Design Suite 14.7** onda treba raširiti **User Constraints** i dva puta kliknuti na **Floorplan Area/IO/Logic (PlanAhead)**. Kada se otvori prozor koji postavlja upit da li želimo da automatski kreiramo UCF i dodamo u projekat treba kliknuti na **<Yes>**. U paketu **ISE Design Suite 14.7** program **PACE** je zamijenjen programom **PlanAhead**.

- Obratiti pažnju na **Design Object List** prozor i na listu signala. Primjetiti da je to lista ulaznih i izlaznih portova datog dizajna. (Kod **PlanAhead**-a pogledati prozor **I/O ports**.)
- U koloni **Loc** (kod **PlanAhead**-a koloni **Site**), pored svakog signala unijeti oznake pinova da bi povezali dizajn sa Spartan-3E platformom, a potom sačuvati dizajn:
 - o clk : povezati sa 50 MHz oscilatorom
 - o lock : povezati sa led0
 - o alarm : povezati sa led1
 - o rx : povezati sa pinom koji prima serijske podatke iz 'MAX3232'
 - o tx : povezati sa pinom koji salje serijske podatke do MAX3232

Napomena: Za raspored pinova pogledati Spartan-3E korisničko uputstvo.

- U **Device Architecture** prozoru (slika 6) uveličavati sve dok se jasno ne prikažu pojedinačni pinovi. Obojena površina pored pinova označava koji pinovi pripadaju istoj I/O banci.



Slika 6. *Device Architecture* prozor

- Kliknuti na neki obojeni I/O pin i odgovarajući pin će biti označen (selektovan) u **Design Object List (I/O ports)** prozoru.
- Izabrati **File→Save** da bi se sačuvala podešavanja.
- Izabrati **File→Exit** da se zatvori **PACE**.
- U prozoru **Sources** selektovati fajl *uart_clock.ucf*, raširiti **User Constraints** u prozoru **Process** i dva puta kliknuti na **Edit Constraints (Text)** da bi se vidjela pridruživanja kreirana preko programa PACE (PlanAhead).

Verifikovanje pridruživanja pinova i startovanje *terminal* sesije

- Selektovati fajl *uart_clock.v* u **Sources** prozoru.
- U **Processes** prozoru raširiti **Implement Design** proces, a potom i **Place & Route**.
- Dva puta kliknuti na **Pad Report**. (Kod **ISE Design Suite 14.7** raširiti **Back-annotate Pin Locations** i dva puta kliknuti na **View Locked Pin Constraints**.)

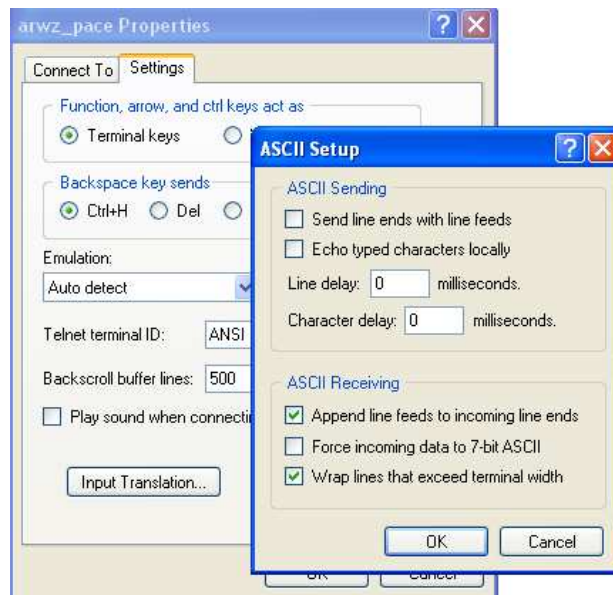
Project Navigator automatski pokreće sve potrebne procese, i otvara izvještaj čim se završi **Place & Route** proces.

4. Pogledati izvještaj i uvjeriti se da su I/O signali povezani na pinove onako kako smo zadali.
5. Otvaramo *hyperterminal* sesiju na sledeći način: **Start** → **All Programs** → **Accessories** → **Communications** → **HyperTerminal**
6. Dati proizvoljno ime sesiji, kliknuti **<OK>** i izabrati komunikacioni port (COM1).
7. Kliknuti na **Configure** i unijeti parametre kao na slici 7.



Slika 7 Parametri za serijsku komunikaciju

8. Kliknuti na tab *Settings*, zatim na *ASCII Setup* i 'štrikirati' *checkbox* pored **Append line feeds to incoming line ends**, a potom kliknuti **<OK>** jednom, a zatim još jednom da bi izašli iz datog prozora.



Slika 8 Podešavanja za ASCII

Upisivanje i testiranje dizajna

Treba generisati tzv. *bitstream* i upisati ga u FPGA čip.

1. Povezati Spartan-3E platformu USB kablom sa računarom, a zatim platformu uključiti.
2. Selektovati *uart_clock.v* u **Sources** prozoru i dva puta kliknuti na **Generate Programming File** u **Processes** prozoru da bi generisali *bitstream* koji će se upisati u FPGA.
3. Kada je proces završen, treba raširiti **Configure Target Device** i dva puta kliknuti na **Manage Configuration Project (iMPACT)**.
4. Izabrati **Configure Devices using Boundary-Scan (JTAG)**, i kliknuti na **<Finish>**.

Napomena: Kada se pojavi dijalog *Boundary-Scan Chain Contents Summary*, samo treba kliknuti **<OK>**.

Napomena2: Na 64-bitnom window-su se može desiti da platforma ne bude prepoznata, kada se radi sa 32-bitnim ISE Design Suite-om. U tom slučaju je potrebno ručno pokrenuti 64-bitni iMPACT program i dva puta kliknuti na **Boundary Scan** u **Flows** prozoru. Nakon toga se desnim tasterom miša klikne na praznu bijelu površinu na kojoj piše „*Right click to Add Device or Initialize JTAG chain*“ i izabere se opcija **Initialize Chain**.

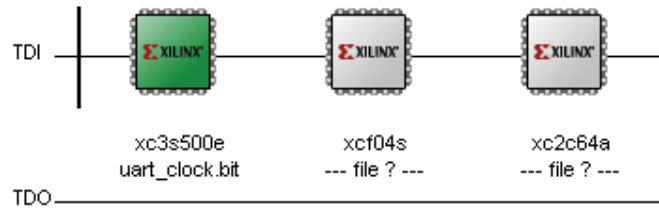
Napomena 3: kod **ISE Design Suite 14.7** treba dva puta kliknuti na **Boundary Scan** u **iMPACT Flows** prozoru. Nakon toga se desnim tasterom miša klikne na praznu bijelu površinu na kojoj piše „*Right click to Add Device or Initialize JTAG chain*“ i izabere se opcija **Initialize Chain**. Na pitanje „*Do you want to continue and assign configuration file(s)*“ odgovoriti sa **<YES>**.

5. Kada se pojavi dijalog **Assign New Configuration File**, izabere se *uart_clock.bit* fajl za **xc3s500e** (prvi uređaj u JTAG ‘lancu’) i klikne se **<Open>**.

Napomena: ako se pojavi upozoravajuća poruka da je inicijalni *clock* promijenjen na JTAG-ov, samo treba kliknuti **<OK>**.

Napomena 2: ako se pojavi pitanje „*Do you want to attach an SPI or BPI PROM to this device*“ odgovoriti sa **<No>**.

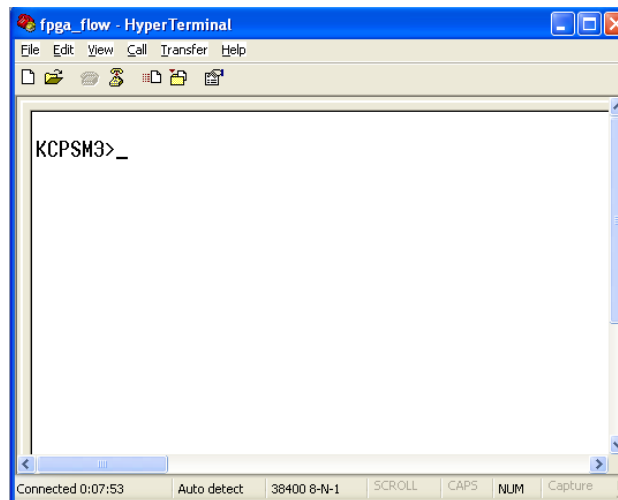
6. Za ostale uređaje, kliknuti **Bypass**.
7. Kada se pojavi prozor **Device Programming Properties** samo kliknuti **<OK>**. Izgled radnog prozora prikazan je na slici 9.



Slika 9. JTAG lanac sa dodijeljenim konfiguracionim fajlom

8. Kliknuti desnim klikom na ikonice čipa **xc3s500e** koji je označen zelenom bojom (ako nije označen prvo ga selektovati lijevim tasterom miša) u radnom prozoru i odabrati **Program**.

U ovom trenutku bi trebao da se vidi `KCPSM3>` prompt u *hyperterminal* prozoru, kao na slici 10.

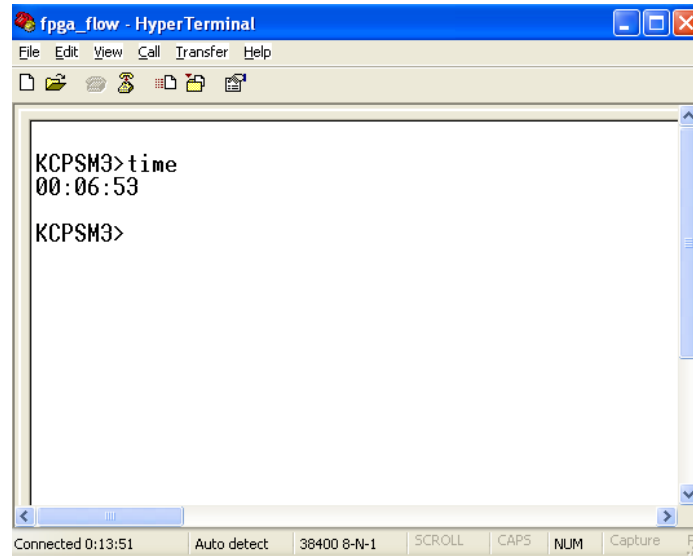


Slika 10. Serijska komunikacija sa Spartan 3E platformom

Rad sa *UART Real-Time Clock*-om

Slijede komande kojima se upravlja *UART Real-Time Clock*-om.

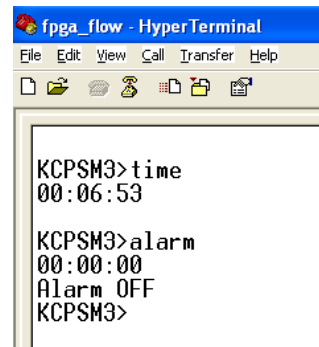
- Unijeti komandu 'time' da bi se prikazalo trenutno vrijeme u formatu hh:mm:ss (slika 11).



Slika 11. Prikaz tačnog vremena

- Unijeti komandu 'alarm' da bi se dobio prikaz o trenutno postavljenom alarmu u formatu hh:mm:ss (slika 12).

Napomena: Alarm je trenutno neaktivan.



Slika 12. Prikaz alarma i njegovog statusa

- Da bi uključili alarm, unijeti komandu 'alarm on'.
- Da bi postavili alarm na 30 sekundi, unijeti komandu 'alarm 00:00:30'.
- Da bi podesili vrijeme, unijeti komandu 'time 00:00:00'.

Napomena: dioda LED1 će se upaliti kada se alarm aktivira.

- Da bi se isključio alarm, unijeti komandu 'alarm off'.

Napomena: Kada se alarm deaktivira i LED1 se ugasi.

4. ZAKLJUČAK